

JP 6-195402

1/5/1

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04724402 **Image available**

OPTIMAL DESIGN SUPPORTING SYSTEM FOR PRODUCT DEVELOPMENT

PUB. NO.: 06-195402 [*JP 6195402* A]

PUBLISHED: July 15, 1994 (19940715)

INVENTOR(s): KOJIMA TOSAKU

OHASHI TOSHIJIRO

HAYAKAWA MITSU HARU

NISHIDA HIROSHI

TEZUKA YOJIRO

MORI TERUO

MINOJIMA SATOSHI

IKEDA MASA AKI

ARIMOTO SHIYOUJI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 05-266471 [JP 93266471]

FILED: October 25, 1993 (19931025)

INTL CLASS: [5] G06F-015/60; G06F-015/60; G06F-015/21

JAPIO CLASS: 45.4 (INFORMATION PROCESSING -- Computer Applications)

JAPIO KEYWORD: R060 (MACHINERY -- Automatic Design)

ABSTRACT

PURPOSE: To drastically reduce development manhour by executing
optimization by simultaneously evaluating the improvement of the
performance of a product, a low cost, the improvement of a quality and a
product developing period.

CONSTITUTION: Evaluation information based on information concerning the
object product of CAD/CAM/CAT processors is generated by a design
evaluation information generation part interface 31 and generated
evaluation information is inputted to a life cycle cost simulator 50. The
simulator 50 executes simulation by associating the quality of the product
and the cost. A user interface 60 inputs a parameter, etc., by interactive
input to the simulation. Besides, the user interface 60 refers to and
changes the knowledge base of a rule base expert system 90 consisting of an
object directivity data base. A design rule check 75 executes rule-check
based on the expert system 90, design information 80. of the object product
and evaluation information.

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-195402

(43)公開日 平成 6年(1994) 7月15日

(51)Int.Cl.⁵

G 0 6 F 15/60

15/21

識別記号

3 1 0

3 7 0 A

R

庁内整理番号

7623-5L

7623-5L

8724-5L

F I

技術表示箇所

審査請求 未請求 請求項の数 6 (全 29 頁)

(21)出願番号 特願平5-266471

(22)出願日 平成 5年(1993)10月25日

(31)優先権主張番号 特願平4-287260

(32)優先日 平 4 (1992)10月26日

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 小島 東作

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 大橋 敏二郎

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(74)代理人 弁理士 富田 和子

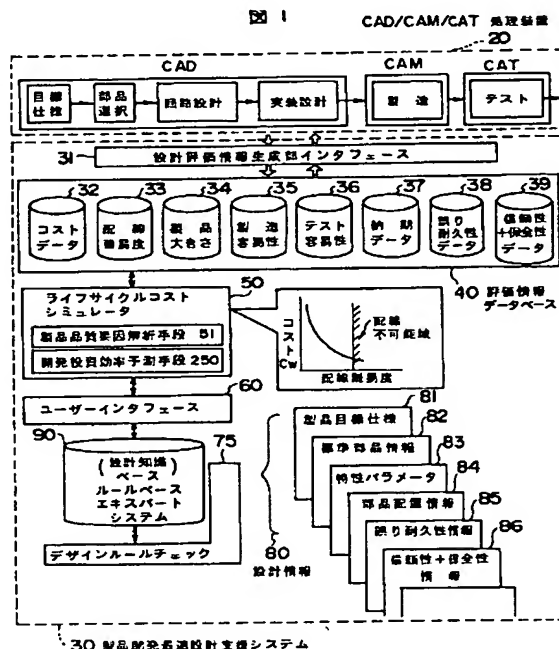
最終頁に続く

(54)【発明の名称】 製品開発最適設計支援システム

(57)【要約】

【構成】CAD/CAM/CAT処理装置の対象製品に係る情報に基づく評価情報を、設計評価情報生成部31により生成し、生成された評価情報をシミュレータ50に入力する。シミュレータ50により、製品品質とコストとを関連づけてシミュレーションを行なう。このシミュレーションには、ユーザインターフェース60により、対話入力によるパラメータ等を入力する。また、ユーザインターフェース60により、オブジェクト指向データベースから成るエキスパートシステム90の知識ベースを参照・変更する。デザインルールチェック75により、エキスパートシステム90、対象製品の設計情報80、評価情報に基づいてルールチェックを行なう。

【効果】製品の性能向上、低コスト、品質向上および製品開発期間を、同時に評価して最適化を行い、開発工数を大幅に低減する。



1

【特許請求の範囲】

【請求項 1】製品の設計効率向上のための電子計算機援用支援システムの対象製品に係る情報に基づいて、前記対象製品の、配線難易度、製品の大きさ、製造容易性、納期データ、誤り耐久性データ、信頼性及び保水性データの内の少なくとも 1 つを含む製品品質に関する情報と、コストデータとからなる評価の対象となる評価情報を生成する設計評価情報生成部と、
前記評価情報生成部により生成された情報を格納する評価情報データベースと、
前記評価情報データベースに格納された情報に基づき、前記対象製品を製造するためのコストと前記対象製品の製品品質とに関して、それぞれ同一の評価尺度を用いて評価指標を生成し、該評価指標に基づいてライフサイクルコストのシミュレーションを行うライフサイクルコストシミュレータと、
前記対象製品に類似する類似製品の設計情報を、前記製品を構成する最小の知識単位に分類し、該最小の知識単位を組み合わせることで設計手順を定義することにより構築されたルールベースエキスパートシステムと、
該ルールベースエキスパートシステムの知識単位を参照し、前記対象製品の設計手順を生成するための情報の授受を行なう対話手段と、
前記ルールベースエキスパートシステムの知識単位の情報と、前記対象製品に係る情報とを用いて、前記対象製品の設計手順の自動評価を行うデザインルールチェック手段と、
を有することを特徴とする製品開発最適設計支援システム。

【請求項 2】前記設計評価情報生成部は、前記電子計算機援用支援システムの対象製品に係る情報に基づいて、前記対象製品の、配線難易度、製品の大きさ、製造容易性、納期データ、誤り耐久性データ、信頼性及び保水性データの内の少なくとも 1 つを含む製品品質に関する情報と、コストデータとからなる評価の対象となる評価情報を生成前記ライフサイクルコストシミュレータに入力するようにしたことを特徴とする請求項 1 記載の製品開発最適設計支援システム。

【請求項 3】前記ライフサイクルコストシミュレータは、設計／製造／検査／運用／再利用・再生利用／廃棄までの製品の特性実現性とそれを構成する作り込み品質とこれらの特性値とから成る多階層構造における最適化を行う製品品質要因解析手段を有することを特徴とする請求項 1 記載の製品開発最適設計支援システム。

【請求項 4】前記ライフサイクルコストシミュレータは、研究開発で得られると予測される純利益をライフサイクルコストで除することにより開発投資効率を求める開発投資効率予測手段を有することを特徴とする請求項 1 記載の製品開発最適設計支援システム。

【請求項 5】前記デザインルールチェック手段は、

2

前記電子計算機援用支援システムにおいて回路設計段階で、使用する回路部品の部品ピン数の合計値を想定基板面積からパッド寸法を含めた部品投影面積の集計値を差し引いた値で割ることによりピン密度を推定し、
該ピン密度に基づいて配線容量を推定し、
該配線容量を一層当りの配線収容可能値で割ることにより、実装可能な層数を推定し、
該実装可能な層数と総コスト推定値とを突き合わせて回路基板実装良否の判定を行なうことための支援を行なうことを特徴とする請求項 1 記載の製品開発最適設計支援システム。

【請求項 6】前記対話手段は、

前記電子計算機援用支援システムにおいて回路基板の回路設計段階で、ブロック毎に回路分割して設計し、各ブロックを分割して評価された結果の情報を入力する手段と、
前記情報を集計して表示する表示手段と、
各部の配線難易度、製造容易性、各部総コスト、基板面積の均等な回路の割り振り情報の少なくとも 1 つを入力する手段と、
を有することを特徴とする請求項 1 記載の製品開発最適設計支援システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、回路基板の設計効率向上のために、計算機援用設計システム（Computer Aided Design System；以後 CAD システムと称する）を用いて作成した設計情報をもとに、その回路基板の早期製品化、品質の向上、コストの低減を可能とする製品開発最適設計支援システムに関する。

【0002】

【従来の技術】回路基板が作り易い構造であるか否かを評価する従来の第 1 の手法としては、設計時にデザイン・レビューと称して設計や製作等の熟練者が経験に基づいて作り易さを判定して、要改良部を指摘する一般的な手法が知られている。

【0003】従来の第 2 の手法としては、図 2 に設計と製造し易さの評価と設計改良の流れを示すように、設計図をもとに工程計画を行ない推定組立費や時間を算出して、この値と設計や製作等熟練者の経験とを加味して構造の良し悪しを判定する方法がある。

【0004】また従来の第 3 の手法としては、特開昭 61-59900 号公報に記載されているように、プリント板パッケージの組立自動化率を、自動評価するプリント板パッケージ組立評価方法がある。この方法では、プリント板パッケージの組立において部品を挿入する際の自動化のし易さを評価するため、人手による標準形挿入半導体集積回路の標準取付時間を 100 として、被評価部品の部品挿入のし易さの難易度を減点指数で表わし、これより人手による部品挿入の部品の積算減点を求めた

10

20

30

40

50

3

うえ、全自動の場合を100として100から人手による積算減点値を差し引き、この値の評点を組立自動化の指標とするようにしている。

【0005】

【発明が解決しようとする課題】上記した従来の第1の方法では定性的で、評価対象品の構造がどの程度に良いか悪いかや改良した場合にどれ位の効果があるかを、客観的・定量的に表現することが難しいうえ、設計や生産技術に十分な経験のある者しか実施することができないという問題があった。

【0006】従来の第2の方法では、基板全体や部品毎あるいは部品の一部の組立費が推定できたとしても、その値からだけでは設計構造が良いのか悪いのかや改良が必要なのか否かが判定しにくく、また評価するのに経験や知識とかなりの計算時間とが必要で容易には行なえないうえ、さらに設計が完了しなければ評価することが難しいため、設計改良が必要と分ったとしても一旦設計が完了すると設計変更には多大の時間を要することから、図2に示すように設計変更を行なうことなく生産に移されて、生産性向上やコスト低減が実現しないことが多いという問題があった。

【0007】従来の第3の方法では、経験があまりなくても評価が可能であるが、評価指標が回路基板に部品を挿入する際の組立自動化し易さのみを評点で表わす方法である。すなわち、通常の回路基板の組立は、回路基板の装着、挿入部品の挿入、基板反転、チップ部品装着、乾燥、基板反転、異形部品挿入、手挿入、はんだ付、洗浄、後付、検査などの多岐にわたる工程を経て回路基板が製作されるものであるから、部品挿入での工数比は基板製作全体の10～30%程度の比率であって、部品挿入の自動化し易いだけでは、組立易さの良否が正確かつ総合的に判定できないという問題があった。

【0008】以上の問題点を総合すると、

(1) 評価が定性的であって、定量的評価でない。

【0009】(2) 経験豊富な者でなければ評価できない、或は、ある程度の評価手法の知識を必要とする。

【0010】(3) コストだけで評価すると、性能や品質を総合的に評価ができない。

【0011】(4) 評価に手間もしくはある程度の時間がかかる。

【0012】(5) 設計が終了する、もしくは終りに近づかなければ評価ができず、判定後の設計改良が行ないにくい。

【0013】(6) 部品ごとに設計の良し悪しが分かり易くなっていないので、製品改良が行ないにくい。

【0014】(7) 評価指標とコストが関連づけられていない。

【0015】ということになる。

【0016】従って、本発明の解決すべき技術的課題は上記した技術のもつ問題点を解消することにある、その

4

目的とするところは、(1) 定量的評価であって、

(2) 経験を必要とせず、かつ、(3) コスト評価だけでなく、性能向上、品質向上および短期製品開発という相互する評価項目を統一的に評価でき、(4) 評価が容易に、かつ、(5) 設計開発の早い段階で評価が行なえる。

【0017】(6) 部品レベルで評価できる。

【0018】(7) 性能、品質、納期の評価指標を持ち、かつこの指標がコストと関連づけられている。

10 【0019】(8) 設計中のCAD/CAM (Computer Aided Manufacturing) / CAT (Computer Aided Testing) 情報から直接評価が行なえる。

【0020】(9) 設計中に即時に統合的コストの最適化設計評価が行なえる。

【0021】ような評価手法が、自動で行ない得る統合的コスト最適化設計システムを提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するために、本発明によれば、製品の設計効率向上のための電子計算機援用支援システムの対象製品に係る情報に基づいて、前記対象製品の、配線難易度、製品の大きさ、製造容易性、納期データ、誤り耐久性データ、信頼性及び保全性データの内の少なくとも1つを含む製品品質に関する情報と、コストデータとからなる評価の対象となる評価情報を生成する設計評価情報生成部と、前記評価情報生成部により生成された情報を格納する評価情報データベースと、前記評価情報データベースに格納された情報に基づき、前記対象製品を製造するためのコストと前記対象製品の製品品質とに関して、それぞれ同一の評価尺度を用いて評価指標を生成し、該評価指標に基づいてライフサイクルコストのシミュレーションを行うライフサイクルコストシミュレータと、前記対象製品に類似する類似製品の設計情報を、前記製品を構成する最小の知識単位に分類し、該最小の知識単位を組み合わせで設計手順を定義することにより構築されたルールベースエキスパートシステムと、該ルールベースエキスパートシステムの知識単位を参照し、前記対象製品の設計手順を生成するための情報の授受を行なう対話手段と、前記ルールベースエキスパートシステムの知識単位の情報と、前記対象製品に係る情報とを用いて、前記対象製品の設計手順の自動評価を行うデザインルールチェック手段とを有することができる。

【0023】以上を個々に説明すると、まず、性能向上、低コスト、品質向上および短期製品開発という相反する、かつ次元の異なる評価項目を、同時に評価して最適化を行うため同一の評価基準を設けた。

【0024】また、類似製品に関する経験や知識を必要とせずに評価するため、製品情報に関して、IF～THENルールベース化された類似製品情報や知識ベースを有するエキスパートシステムを設けた。

50

5

【0025】更に、組立コストだけでなく、設計、製造、テスト、運用・保守および再利用・再生利用／廃棄までのライフサイクルコストを推定できるようにするため、ライフサイクルコストシミュレータを設け、評価項目の達成度をコストをキーにして総合的に評価するものである。

【0026】更に、設計開発の早い段階で設計評価が行なえるために、設計／製造／検査／運用／再利用・再生利用／廃棄までの製品の特性実現性とそれを構成する階層化された作り込み品質とこれらの特性値の多階層構造における最適化を行えるように、製品品質要因解析手段を設けた。

【0027】更に、製品品質の評価指標を持ち、かつこれらの指標とコストとを関連付けるため、特性実現性とコストとの関係を同一の評価基準で表わすことにより、配線難易度シミュレータ、誤り耐久性シミュレータ、製造容易性シミュレータ、納期シミュレータ、信頼性+保全性シミュレータ、ダウンサイジングシミュレータ、テスト容易性シミュレータから構成されるライフサイクルコストシミュレータを設けた。

【0028】設計中に即時に評価が行えるようにするため、CAD／CAM／CAT処理装置から設計評価情報を生成できる標準フォーマットインタフェースを設けた。

【0029】製品開発に関して、構想段階で開発の意思決定を行えるようにするため、研究開発で得られると予測される純利益を、ライフサイクルコストで除するところの開発投資効率予測手段を設けた。

【0030】以上の結果、製品開発で製品品質最適化設計支援をするため、企業経営者も設計担当者も共通の目標である品質向上という情報で、ゴールを明確化できる仕組みを設けた。

【0031】

【作用】性能向上、低コスト、品質向上および短期製品開発という相反する評価項目を同時に評価して最適化を行うための手法は、製品全体の特性実現性とそれを構成する作り込み品質のSN (Signal Noise) 比という同一の評価基準を設定し統合的な設計評価を行う。SN比については、たとえば、「光ファイバ・活用の基礎」(オーム社、根本俊雄著、雑誌「エレクトロニクス」昭和56年1月号付録)のp. 138からp. 139に記載されている。

【0032】設計評価情報生成部により、CAD／CAM／CAT処理装置の出力信号をコストデータ、配線難易度、製品大きさ、製造容易性、納期データ、誤り耐久性データ、信頼性+保全性データのうちの少なくとも1つの情報に変換し、CAD／CAM／CAT処理情報を直接にライフサイクルコストシミュレータに入力できる。

【0033】これにより、設計、製造、テスト、運用、

6

再利用・再生利用、廃棄までの評価情報を生成できるため、製品開発の統合的な設計評価を行うことができる。

【0034】ライフサイクルコストシミュレータにより、設計評価情報生成部で生成された評価情報データベースをもとに、製品品質の評価指標を持ち、かつこれらの指標とコストとを関連付けるため、特性実現性とコストとの関係を同一の評価基準で表わすことにより、配線難易度、誤り耐久性、製造容易性、納期、信頼性+保全性、ダウンサイジング性、テスト容易性のうちの一つの以上からなる情報のシミュレーションを行う。

【0035】ルールベースエキスパートシステムにより、IF～THENルールにより類似製品の設計情報をもとに、設計作業を分析し、製品データとこれを構成する最小の知識(作業)単位に分類し、この知識(作業)単位を組み合わせ一つの意味のあるものにした設計手順によるオブジェクト指向データベースを構成し、属性定義することにより、類似製品の検索を行う。

【0036】対話手段により、ルールベースエキスパートシステムを効率良く作成し、エキスパートシステムの知識ベースを参照・変更するための知識編集機能を行ない、通常の手続き型のプログラムコーディングによる実行手法作業を不用にした。

【0037】デザインルールチェック手段により、ルールベースエキスパートシステムと設計情報およびCAD／CAM／CAT処理情報を結ぶ設計ルール実行モジュールを用いて、ルールチェックを行う。

【0038】また、製品品質要因解析手段により、設計／製造／検査／運用／再利用・再生利用／廃棄までの製造の特性実現性と、それを構成する作り込み品質とこれらの特性値とから成る多階層構造における最適化を行うことにより、製品開発の早い段階で設計評価を行えるようにした。

【0039】さらに、開発投資効率予測手段により、研究開発で得られると予測される純利益を、ライフサイクルコストで除することにより開発投資効率を求め、製品開発に関して構想段階で開発の意思決定を行う。

【0040】

【実施例】以下、本発明の実施例を図1～図37によって説明する。

【0041】図1は、本発明が適用される製品開発最適設計支援システムの構成の概要を示す図である。図1に示す製品開発最適設計支援システム30は、CAD／CAM／CAT処理装置で作成された、あるいは図示しないCAD／CAM／CATデータベースに格納されたデータベースから、例えばEDIF (Electronic Design Interchange Format) 等の標準フォーマットにより設計評価情報生成インタフェース部31により抽出されたコストデータ32、配線難易度33、製品大きさ34、製造容易性35、テスト容易性36、納期データ37、誤り耐久性データ38、信頼性+保全性データ39による

7

評価情報データベース40に基づき、自動的に、ライフサイクルコストシミュレータ50により、各設計評価情報とコストの関係をシミュレーションを行う。ライフサイクルコストシミュレーションの結果は、設計者側とエキスパートシステムの知識ベースを参照・変更するための知識編集機能を有するユーザーインタフェース60を介して、設計知識を格納するルールベースエキスパートシステム(データと手続の両方を備えた設計知識ベース)90に渡される。ルールベースエキスパートシステム90は、デザインルールチェック75により、製品目標仕様81、標準部品情報82、特性パラメータ83、部品配置情報84、誤り耐久性情報85、信頼性+保全性情報86等よりなる設計情報80と結合されている。

【0042】ルールベースエキスパートシステム(設計知識ベース)90の内容は類似製品の設計情報を基に、図3に示すようになっている。ここで、設計作業を分析し、知識として機能単位のサブ回路、サブ部品化すると、いくつかの最小の知識(作業)単位にいわゆるオブジェクト、すなわちデータと手続きの両方を備えた単位に分類することができる。

【0043】この知識(作業)単位を組み合わせると一つの意味のある設計作業を表す。これを設計手順72と呼ぶことにし、この設計手順をオブジェクト指向型データベースにより階層化して属性定義で呼び出すことによって一連の設計作業全体を表現している。このオブジェクト指向型データベースにより、知識(作業)を機能単位のサブ回路、サブ部品化(モジュール化)することができ、設計情報を容易に検索可能となる。

【0044】図3においては、当該ルールベースエキスパートシステム(設計知識ベース)90の1例として、製品データ71に対して部品がどのように取り付けられるか等の実装機用のNCデータ計算結果73を示している。

【0045】実装機で部品を実装する場合、高い実装密度で配置されていると、図4(a)に示すように、実装*

【数1】

$$\theta_1 = (e^{\alpha + \beta x_1}) / (1 + e^{\alpha + \beta x_1})$$

【0051】(数1)で与えられる θ_i を x の関数として、 $\beta > 0$ を仮定すると、図5(a)に示すようになる。

【0052】ここで、特性実現性 θ_i を次のような変換式を仮定すると、

【0053】

【数2】

8

*機のヘッドとすでに実装済の縦形部品1との干渉により実装機では縦形部品2を実装することができないことがある。同様に、図4(b)では、アンビルによるリードのクリンチを行なう場合に、すでに実装済のチップ部品1とアンビルが干渉することを示している。ここで、アンビルとは部品のリードをクリンチするための実装機のクリンチ機構である。

【0046】このような実装状態の干渉のルールチェックは、図3のルールベースエキスパートシステム(設計知識ベース)90の中で、部品配置情報、実装機械名をもとに、先に実装する部品の部品重複チェックとして、部品形状定義とは別にリードのクリンチ形状も定義することができる。また実装ルールチェックとして、実装機のヘッド形状とは別にアンビル形状が別々にチェックできるようになっている。このようにデザインルールチェック75はルールベースエキスパートシステム90と設計情報80およびCAD/CAM/CAT処理装置20とを結ぶ設計実行モジュールであり、各種の製品目標仕様81に基づいて、自動でルールチェックができるようになっている。

【0047】ここで、特性を実現するための尺度として特性実現性(評価指標)というものを仮定し、これを θ_i とし、制約条件として $0 \leq \theta_i \leq 1$ を満たすものとする。さらに線形モデル $\lambda_i = \alpha + \beta x_i$, $i = 1, 2, \dots$ を仮定する。

【0048】ここで、 α , β をそれぞれ切片及び傾きのパラメータとする。

【0049】 θ をロジスティック関数(数1)と仮定し、次式のように与えるものとする。次式のように与えられることは、「二値データの解析」(朝倉書店, D. R. コック著, 後藤昌司他訳)のp. 24からp. 25に記載されている。

【0050】

【数1】

【数2】

$$\lambda_1 = \alpha + \beta x_1 = \log(\theta_1 / (1 - \theta_1))$$

【0054】(数2)を微分すると、

【0055】

【数3】

【数3】

$$d\lambda_1 = d\theta_1 / \theta_1 (1 - \theta_1) = d\theta_1 / \theta_1 (1 - \theta_1)$$

【0056】 (数3) を θ_1 から θ_2 まで積分すると、

* 【数4】

【0057】

*

【数4】

$$\begin{aligned} \int_{\theta_1}^{\theta_2} \frac{d\theta_1}{\theta_1 (1 - \theta_1)} &= \left[10 \log \frac{\theta_1}{1 - \theta_1} \right]_{\theta_1}^{\theta_2} \\ &= 10 \log \left(\frac{\theta_2}{1 - \theta_2} \times \frac{1 - \theta_1}{\theta_1} \right) \\ &= 10 \log \frac{\frac{1}{\theta_1} - 1}{\frac{1}{\theta_2} - 1} \end{aligned}$$

【0058】 ここで、デシベル単位の表現から SN 比を η とすると

※ 【0059】

※ 【数5】

【数5】

$$\begin{aligned} \eta &= -10 \log(1 / \theta_1 - 1) = 10 \log \frac{\theta_1}{1 - \theta_1} \\ &= d B (\text{デシベル単位}) \end{aligned}$$

【0060】 例えば (数5) の θ_1 を信頼度とすると、 $1 - \theta_1$ は不信頼度なので、(数5) は概念的には信頼度と不信頼度の比率を表わしている。

【0061】 ここで一例としてある自動支払機の実現性 θ を考える。このときは θ として例えば信頼度 (カードを入れたとき、正しくお金が出てくる割合) は市場で 0.994 であったとする。その信頼度を高めるための以下の3つの機能を追加したときの効果を前述の方法によって検討する。

【0062】 A: 部品 A を新部品にする。

【0063】 B: 回路を新しくする。

【0064】 C: 耐塵埃装置をつける。

【0065】 3つの機能に対して効果確認のために、別々に試験を行い、このときの強制試験 (振動と塵埃を与えながら 100 回試験) をした結果により表 1 に示すデ

★ータが得られたとする。

【0066】

【表1】

【表1】

表 1 強制試験

| | 採用しないとき | 採用したとき |
|------|---------|--------|
| 機能 A | 90% | 99% |
| " B | 95% | 98% |
| " C | 80% | 95% |

【0067】 機能 A, B, C の効果を (数5) によりデシベルで表現すると表 2 のようになる。

【0068】

【表2】

【表2】

表 2 デシベルで表わしたデータ

| | 採用しないとき | 採用したとき | 利益 (ゲイン) |
|------|----------|----------|----------|
| 機能 A | 9.54 dB | 19.96 dB | 10.42 dB |
| " B | 12.79 dB | 16.90 dB | 4.11 dB |
| " C | 6.02 dB | 12.79 dB | 6.77 dB |

計 21.30 dB

11

【0069】従って、3つの機能を全部採用したときの効果（ゲイン）は、機能A、B、Cがそれぞれ、独立事象のとき21.30dBとなる。

【0070】市場での信頼度0.994は、次のように22.19 *

【数6】

$$-10\log\left(\frac{1}{\theta}-1\right)=-10\log\left(\frac{1}{0.994}-1\right)=10\log 0.0060362$$

$$=22.19\text{dB}$$

$$22.19+21.30=43.49\text{ [dB]}$$

$$-10\log\left(\frac{1}{\theta}-1\right)=43.49$$

$$\log\left(\frac{1}{\theta}-1\right)=-4.349$$

$$-10^{-4.349}=\frac{1}{\theta}-1$$

$$\frac{1}{\theta}=1+10^{-4.349}$$

【0072】として、 $\theta=0.99955$ が得られる。すなわち、特性実現性 θ は、99.4%から99.95%に向上する。

【0073】（数5）を利用し、図5（a）をデシベル単位で表わした結果を図5（b）に示す。すなわち、特性実現性 θ とSN比 η は相互に逆変換が可能な関係にあることがわかる。従って、 θ の関数（数1）より、種々の評価項目を η に重ね合わせるにより、製品開発を総合的に評価できることになる。ここでSN比はまた、ばらつきの大きさを σ 、平均値をMとすると、 η は次式で表わされる。

【0074】

【数7】

【数7】

$$\eta=M^2/\sigma^2$$

【0075】（数2）において、 λ を特性値とし、 χ を信号因子として、ある信号因子 χ の基準点 χ_0 で、差 α がゼロになるよう調整した場合を図6に示す。なお、 m_1, m_2, \dots, m_h なる目標値にするための信号因子の水準値を $\chi_1, \chi_2, \dots, \chi_h$ とし、ゼロ調整後の特性値を $\lambda_1, \lambda_2, \dots, \lambda_h$ とする。

【0076】このときの特性値 λ と信号因子 χ との関係を次式のようにおく。

【0077】

【数8】

12

*dBであるから、3つの機能を全部採用したときの効果は、

【0071】

【数6】

$$\therefore \theta = \frac{1}{1+10^{-4.349}}=0.99955$$

【数8】

$$\lambda = \beta \chi$$

【0078】いま、比例定数の校正を χ_0 で行えば、図6に示すように β は χ_0 に対する λ の値を λ_0 として

【0079】

【数9】

【数9】

$$\beta_0 = \lambda_0 / \chi_0$$

【0080】目標値を m 、特性値 λ を y とする。ここで目標値からずれたときの損失コスト関数を $C(\lambda)$ とみると、図7に示すようになる。

【0081】特性値 λ が目標値 m に等しいときは損失コストはゼロ、または特性値 λ が m に等しいとき損失は最小である。すなわち、一般に次式が成立する。

【0082】

【数10】

【数10】

$$C(\lambda) = 0$$

【0083】

【数11】

【数11】

$$C'(\lambda) = 0$$

【0084】 $C(\lambda)$ を目標値 m の周りにテーラー展開すると、

50 【0085】

13

【数12】

【数12】

$$C(\lambda) = C(m + \lambda - m)$$

$$= C(m) + C'(m) / 1! (\lambda - m) + C''(m) / 2! (\lambda - m)^2 + \dots$$

【0086】ここで(数10)、(数11)を(数12)に代入して、 $(\lambda - m)^3$ 以上の項を省略すれば、損失コスト関数 $C(\lambda)$ は次式で近似される。

【0087】

【数13】

【数13】

$$C(\lambda) = k(\lambda - m)^2$$

【0088】ここに k は定数である。図7において、まず特性値 λ が m からどこまでずれたらトラブルが発生するかの機能限界を Δ_0 を求める。

【0089】(数13)の左辺に A_0 、右辺の $(\lambda - m)$ に Δ_0 を代入すると

【0090】

【数14】

【数14】

$$A_0 = k \Delta_0^2$$

【0091】ここで、 A_0 はトラブルが生じたときの損失コスト(の平均)を A_0 円とする。これから比例定数 k は次式で求められる。

【0092】

【数15】

【数15】

$$k = A_0 / \Delta_0^2$$

【0093】従って、損失コスト関数 C は次式で近似される。

【0094】

【数16】

【数19】

$$\sigma^2 = 1/n [(\lambda_1 - m)^2 + \dots + (\lambda_n - m)^2]$$

【0102】そして、製造損失コスト C_p は次式で計算できる。

【0103】

【数20】

【数20】

$$C_p = A \sigma^2 / \Delta^2$$

【0104】ここで、 Δ は生産工場与えられた許容差で、 A は工場で不合格品が発見されたときの手直しや再利用・再生利用や廃棄処分の損失コストである。

14

【数16】

$$C(\lambda) = A_0 / \Delta_0^2 (\lambda - m)^2$$

10 【0095】ここで、設計では、特性値 λ が環境で変化したり、使用中に劣化したりする。このときの環境条件と設計寿命中の目標値からの差の2乗の平均を分散とし、 σ^2 とすると運用損失コスト C_u を次式で求める。

【0096】

【数17】

【数17】

$$C_u = A_0 / \Delta_0^2 \times \sigma^2$$

20 【0097】図7において、もし、類似製品のコスト A' と機能限界 Δ' が既知であれば、(数16)から、次の等式が成立しなければならない。

【0098】

【数18】

【数18】

$$A_0 / \Delta_0^2 = A' / \Delta'^2$$

【0099】すなわち、図1のユーザーインタフェース60で、特性値 λ と目標値仕様 m を対話入力すれば、(数16)からコスト C は自動算出できる。

30 【0100】同様に、図8に示すような生産工程で、工程の品質水準を求めるのに、その工程が作り出す製品の特性値を $\lambda_1, \lambda_2, \dots, \lambda_n$ とし、まず平均2乗誤差すなわち分散を σ^2 を次式で求められる。

【0101】

【数19】

*

【0105】設計品質を定量的に評価するため、図10に示すように、回路基板を例にすると、ユーザーの要求や開発仕様に基づいた設計要求尺度と設計要求尺度を満足させるために、開発者が作り込むところの作り込み品質設計尺度およびそれを構成する特性値さらに特性値を構成する信号因子の4階層で計測・評価するものである。

50 【0106】設計要求尺度としては、第1層には配線難易度、誤り耐久性、製造容易性、短納期性、低コスト性、信頼性+保全性(含む社会性)、ダウンサイジング

15

性、テスト容易性の8つの尺度で評価している。

【0107】作り込み品質設計尺度としては、第2層には実装密度、電磁ノイズ特性、伝送線路特性等の尺度で評価し、さらに第3層としてこれらを構成する特性値および第4層として特性値を構成する信号因子からなる階層化構造により要因解析を行う。これらの製品品質要因解析手段51は4階層に構造化した品質尺度を用い、図9に品質要因解析手段51の構造を示す。

【0108】ここで、例えば、配線難易度、誤り耐久性、製造容易性、短納期性、低コスト性、信頼性+保全性、ダウンサイジング性、テスト容易性の設計要求尺度を $\theta_A, \theta_B, \theta_C, \theta_D, \theta_E, \theta_F, \theta_G, \theta_H$ とし、作り込み品質設計尺度の(数5)で表わされるSN比を η として、いま、このSN比の各項に対応してそれぞれ、 $\omega_1, \omega_2, \dots, \omega_n$ という重みをつけて平均する方式、すなわち設計要求尺度の重みつき平均は図9に示した例で説明すると次のようになる。

【0109】設計要求尺度の重みつき平均 $= (\omega_1 \eta_1 + \omega_2 \eta_2 + \dots + \omega_n \eta_n) / (\omega_1 + \omega_2 + \dots + \omega_n)$ 従って、設計品質設計尺度は関連する作り込み品質設計尺度のSN比の重みつき平均で表わされる。

【0110】これをもとに、(数5)から特性実現性 θ ($0 \leq \theta \leq 1$)に変換すると、図11に示すように、グラフ化手段(図示せず)で作図化することで、レーダチャートを作成することができる。

【0111】すなわち、図11のように、8つの設計要求尺度を視覚化することにより実績値を目標仕様値と比較して、製品の構想設計段階で合否判定が可能となる。

【0112】配線難易度の作り込み品質設計尺度である実装密度は基板面積の大小により、基板層数を求めることで求められる。ここで、配線難易度とは基板に配線するための尺度である。

【0113】QFP (Quad Flat Package) のパッケージサイズSは図12(a)から次式により求められる。

【0114】

【数21】

$$S = P_1 \left(\frac{N_t}{4} - 1 \right) + 2(L_1 + L_2)$$

ここで、 P_1 : 端子ピッチ

N_t : 入出力端子数

L_1 : 端部端子と封止樹脂

L_2 : 端子の長さ

【0115】このパッケージを端子ピッチのn倍の間隔を取って配置すると、その配置ピッチPは

【0116】

【数22】

【数22】

$$P = S + n P_1$$

【0117】D. Seraphimの式(D.P. Seraphim: "Chip-module-package interfaces", (IEEE, Trans. CHMT, CHMT-1, p. 305~p. 309))から全配線長Lは、

【0118】

【数23】

【数23】

$$L = 1.5 P (1.5 N_t / 2)$$

【0119】ここで、L: 全配線長
単位面積当りの必要配線長Laは、

【0120】

【数24】

【数24】

$$L_a = \frac{L}{P^2} = \frac{2.25 N_t}{2 P}$$

【0121】配線板の配線効率をeとすると、このQFPを搭載する配線板に必要な最大配線容量Lmaxは、

【0122】

【数25】

【数25】

$$L_{\max} = \frac{2.25 N_t}{2 P \times e}$$

$L_a = 45.3 \text{ cm/cm}^2$, $N_t = 200$ とすると

$$P = \frac{2.25 N_t}{2 L_a [\text{cm/cm}^2]} = \frac{2.25 \times 200}{2 \times 45.3} = 4.96 [\text{cm}]$$

ここで、 N_t : 入出力端子数

P : パッケージの配置ピッチ

e : 配線効率 (回路の分割と配置の適正度及び配線プログラム

(25~50%) の能力により決まる効率)

【0123】 $P_1 = 0.635 \text{ mm}$ で $N_t = 200$ ピンの QFP 搭載の配線板では $L_a = 45 \text{ cm/cm}^2$ とすると、 $e = 0.25 \sim 0.50$ なので、

$$L_{\max} = (45/0.5 \sim 45/0.25)$$

即ち、 $(90 \sim 180) \text{ cm/cm}^2$ 程度の配線収容能力の配線板となる。

【0124】 2層板のとき、

$$(90/2 \sim 180/2) \text{ cm/cm}^2 = (45 \sim 90) \text{ cm/cm}^2 \rightarrow \text{平均 } 67.5 = 70 \text{ cm/cm}^2/\text{層}$$

【数26】

$$t \geq \frac{L_{\max}}{\eta} = \frac{2.25 N_t}{2 \times P \times e \times \eta}$$

ここで、 N_t : 入出力端子数

P : パッケージの配置ピッチ

e : 配線効率 (回路の分割と配置の適正度及び配線プログラム

(25~50%) の能力により決まる効率)

η : 1層当りの配線収容能力

【0126】 (数26) をもとに、実装密度と基板層数の関係を求めた結果を図12(b)に示す。

【0127】 次に、ベアボード製造コスト $C_{B,B}$ は、図13に示すように、定尺 (例えば $1 \text{ m} \times 1 \text{ m}$) の基板の板厚、板厚枚数、最小パターン幅等を対話入力すること ※

【数27】

$$C_{B,B} = f (\text{板厚, 枚取枚数, 最小パターン幅} \dots)$$

【0129】 ベアボード製造コストが (数27) で求められたときの、基板層数とベアボード製造コスト $C_{B,B}$ との関係を図14に示す。

【0130】 また、図15に示すように、チャンネル数や基板の穴の普通径、小径毎のベアボード製造コストが求められる。更に、図1のCADの製品ライブラリ (図

* 同様にリードピッチ 0.5 mm 、端子数400のとき $L_a = 63.0 \text{ cm/cm}^2$ とすると、

$$L_{\max} = 63/0.5 \sim 63/0.25 = 126 \sim 252 \text{ cm/cm}^2$$

20 1層当り、 70 cm/cm^2 の配線ルールでは、

$$126/70 \sim 252/70 = 1.8 \sim 3.6 \leq 2 \sim 4 \text{ 層}$$

従って1層当りの配線収容能力を η とし、層数を t とすると、

【0125】

* 【数26】

※により、次式でベアボード製造コスト $C_{B,B}$ が求められる。

【0128】

【数27】

示せず) に予め格納した部品購入費 C_Q や割掛等と、図16に示したグルーピング処理用データベース70の部品群のタクトタイム及び割掛により組立推定費 C_A を求め、これらとベアボード製造費 $C_{B,B}$ とを積算することにより、回路基板のトータルコストが求められる。ここで、割掛とは単位時間当りの製造費のことである。

19

【0131】更に、図12に示した回路基板の配線可能領域と配線困難領域から基板層数（数26）により信号層数から求められる。）が求められ、図15に示した情報をもとに、目標コストを満たす、最適な基板層数を求めることができる。

【0132】以上の結果をもとに、配線難易度（概略的には1／基板層数に比例する）とコストの関係を示すと図17のようになる。

【0133】回路設計段階において、回路図で使用する部品は、通常信頼性を確認された認定部品を使用している。従って、認定部品は、例えば、図12のようなQFPでは搭載する基板側のパッド（図13（c）参照）寸法を含めた部品投影面積は確定している。

【0134】従って、使用する回路部品が決められると、図13（b）、図13（c）のように、CADから配線可能基板の大きさ、部品総ピン数、格子間隔および格子間チャンネル数が自動生成され、これにより、（数26）から配線可能な層数、チャンネル数範囲が推定される。さらに、（数27）から配線板厚、板取り枚数、最小パターン幅、ホール数等を仮定すると、ペアボード製造費が推定される。

【0135】このようにして回路設計段階で、実装形態の推定と、回路基板の総コストを推定することにより、コストを考慮した回路基板の実装良否が推定できることになる。

【0136】また、回路設計段階で、回路図を図36（a）のように、サブ回路に回路分割（回路切り出し）して設計しておき、各ブロックを分割して評価し、結果を図36（b）のように表計算260で集計・表示することにより、各部の配線難易度（ L_{max} 、 η などから求められる値）、製造容易性（数28）の各部総コスト、基板面積等の比較ができるようにしている。これにより、均 *

【数28】

$$\theta_c = \frac{10d+9d+8c+7d+6e+5f+4g+3h+2i+j}{(a+b+c+d+e+f+g+h+i+j) \times 10}$$

【0141】（数28）から分かるように θ_c は0～1の範囲の値を取ることがわかり、部品数を考慮した製品の作り易さを評価することができる尺度である。

【0142】実装図には図8に示すように部品実装情報のノウハウが盛り込まれている。すなわち、自動化率向上のための実装順序ルール100には、①挿入ICはアキシャル部品より先に挿入、②挿入ICはラジアル部品より先に挿入、③アキシャル部品はラジアル部品より先に挿入等の実装順序があるが、このルールに基づいて、挿入IC部品挿入機150→アキシャル部品挿入機160→ラジアル部品挿入機180→ロボット異形部品挿入機190→手挿入200の第1～5工程までが構成されている。また、専用ロボット210は機械部品との混載、例えばパワートランジスタに放熱用ヒートシンクをネジ止めして用いる場

20

*等な回路の割りふりをユーザが行い、全体としてバランスのとれた回路実装を行うことを容易にしている。さらに、1枚の回路図中の任意の機能ブロックのサブ回路を切り出し、基板面積等を仮定して、もし基板面積が想定した面積に搭載できない場合に、回路のASIC化（Application Specific IC化）等の検討についても支援することもできる。一般に、回路基板は実装設計まで移行してしまうと再度回路設計まで手戻りして設計変更することになると開発期間が遅くなる。しかし、本発明によれば、回路設計段階のブロック回路毎に設計評価ができるため、開発期間の短縮化を行なうことができる効果がある。

【0137】次に、誤り耐久性とコスト C_N との関係は、既述の図7と同様な関係で図18に示すように表わされる。ここで、誤り耐久性は電磁ノイズ特性や伝送線路特性等、いわゆる製品を作ってからでないとわからない誤りに対しての耐久性である。例えば、これらの誤り耐久性はSPICE等のアナログシミュレータで解析することが予めできるようになっている。

【0138】次に、製造容易性について、図8のユーザインターフェース60（ライン実装順序）を用いて説明する。ここで、製造容易性とは製品の作り易さの尺度 θ_c を表わし、製造容易性 θ_c とコスト C_M との関係は図19に示すように、製品が作り易いほどコストは低減される。

【0139】ここで製造容易性 θ_c は、製造容易性の重み ω として、製造性の良いものを1.0から、製造性の悪いものを0.1として、それぞれの重み ω に該当する部品数の和を $a \sim j$ とすると、製造容易性 θ_c は次のようになる。

【0140】

【数28】

合に使用される。またコネクタは、接触部へのフラックス付着防止や耐洗浄性の必要から、手挿入部品220として取扱われる。

【0143】ここで、すでに図4（a）で述べたような、実装済の部品との部品干渉は図8では、アルミコンデンサの縦形部品1と縦形部品2として示されている。

【0144】本発明においては、図16に示すように、回路部品をグルーピング処理70した類似部品が用意されている。部品形態の類似性により分類した部品群に対して、チップ部品群には接着剤塗布B、下移動組付↓のような動作内容、タクトタイム等の部品実装属性情報が格納されている。

【0145】このような類似部品群でグルーピング処理70を行いデータベース化し、隣接した部品をグルービ

21

ングして、図4のようにヘッド及びアングルの干渉チェックを行い、さらに図8に示した実装順序ルール100をもとに部品搭載ラインの実装順序を決定することができる。

【0146】図21に示すように複数のラインが存在している場合、ラインは、人間の指示に従って、CAD/CAMシステムから、生産するロットのロット情報を受信し、納期シミュレータ54により、知識ベースとルールベースの類似計画情報からなるエキスパートシステム90をもとに、ユーザインタフェース60（計画線表）の画面で対話入力により計画立案を行うことができる。

【0147】ここで、知識ベース91は、ラインの場合には同一機能を有するラインが複数あるため、図16に示した情報にもとづいて動作機能別に同一機能グループで統合した階層構造になっており、また同一機能でもタクト能力により細分化されている。

【0148】また、類似製品の過去情報でロットの分割割付が発生した場合のロット情報は、オブジェクト指向データベースにより階層構造化されたデータで構成されている。

【0149】顧客のニーズが多様化し変化する中で、市場ニーズを捉えて、商品を必要な時に必要量だけ、タイムリに生産、供給することが必要である。

【0150】本発明に係るシステムにおいては、計画担

【数29】

$$\lambda = K [\sum N_1 \cdot \lambda_1 + \sum N_2 \cdot \lambda_2 + \dots + \sum N_n \cdot \lambda_n]$$

ここで λ ：総故障率

K：環境係数

【0154】以上の信頼性+保全性および社会性とコスト C_L の関係は図24に示すようになる。ここで、社会性とは環境保護や製造物責任など社会に対する製品の影響度である。

【0155】また、製品のダウンサイジング性は、マイクロエレクトロニクス化の進展に伴い、製品の重要な機能の一つであり、図16に示すようなチップ部品等の表面実装部品を採用することにより、表面実装化率が向上し実現される。

【0156】また、回路部品をソリットモデラ（図示せず）を用いて3次元的にすきまなし実装化することにより、図25に示すようにダウンサイジング性が向上される。

【0157】以上のダウンサイジング性とコスト C_S の関係は図1の製品の大きさ34を参照し、図27に示すように表される。

【0158】製品の検査は製品品質を保証するために重要な設計要求尺度である。

【0159】図26で示すように、工程能力指数 C_p は次式で求められる。

22

*当者のノウハウが、図22に示すIF-THENルール化されたルールベース形式で、類似製品の計画情報としてエキスパートシステムの中に格納されている。図21に示すユーザインタフェース60（計画線表）の画面中の生産ロットのロット詳細情報の生産個数、納期等を参照し、これと類似する製品計画情報をIF-THENルール形式で呼び出し、これを対話形式で人手で修正するものである。

【0151】このように、納期シミュレータ54により、製品の短納期化が可能となり、短納期性とコスト C_I の関係は図20に示すようになる。ここで、短納期性とは製品を短期間で市場に生産、供給する尺度である。製品を生産、供給する時間の逆数で表わす。図20からわかるように、短期間に製造するほど割掛が一定ならばコストは当然低減される。

【0152】また、信頼性と保全性に関しても、図23に示すように、製品の故障率 λ を回路の故障率 λ_E とメカ部品が混載されたときのメカ部品の故障率 λ_M との合計値で表されるようになっている。すなわち、図1の標準部品情報82の中に部品故障率 λ を登録しておき、製品に含まれる部品の同部品数 N_1 と故障率 λ_1 の積 $N_1 \cdot \lambda_1$ から次式により求められる。

【0153】

【数29】

【0160】

【数30】

【数30】

$$C_p = T / 6\sigma$$

ここで、 σ ：工程における標準偏差

T：規格幅

【0161】すなわち、工程能力係数 C_p が達成されると、製品のばらつきが許容差のかなり内側に入り、いわゆる受入検査は不要になり、その結果テスト容易性とコスト C_T との関係は図28(a)に示すようになる。

【0162】しかし、このためには工程管理が厳しくなるため、図28(b)のように、チェックコストが高くなる。そのため適正な管理限界を設定する必要がある。

【0163】以上のようにして求めた、コストは、図29に示すように、回路基板では、要求分析、設計（回路設計 C_D 、部品配置 C_S 、配線 C_W ）、製造 C_M 、テスト C_T 、保守 C_L （廃棄・再利用・再生利用を含む）等のコストが合計され、すなわちライフサイクルトータルコスト

23

110が図1のライフサイクルコストシミュレータ50により求められる。ここで、ライフサイクルコスト110は、図34に示すように、回路設計コストは既述のC_D等、部品配置コストは既述のC_S等、コストは既述のC_W等、製造コストは既述のC_M等、テストコストは既述のC_T等、運用・保守コストは既述のC_L等、廃棄コストC_Lは既述のC_L等の積算として、積算器111によりも求められる。

【0164】また、図1のユーザインタフェース60を介して、図30のライフサイクルコストに示すように製品目標仕様81が決まると、図21のルールベース類似計画情報92と同じように、図22に示すI F ~ T H E N形式でルールベース化された類似製品パラメータデータベース120により、ライフサイクルコスト110を推定することも可能である。

【0165】なお、ライフサイクルコストシミュレータ50は、配線難易度シミュレータ51、誤り耐久性シミュレータ52、製造容易性シミュレータ53、納期シミュレータ54、信頼性+保全性(含む社会性)シミュレータ55、ダウンサイジングシミュレータ56、テスト容易性シミュレータ57より構成され、これらの構造は図31に示すようになる。

【0166】これらライフサイクルコストシミュレータ50は夫々が図示しない並列処理が可能で、かつ分散型のリアルタイムOS(Operating System)により、同時並行処理ができるようになっている。

【0167】このようにして製品ライフサイクルコストC110が求められるが、研究開発で得られた純利益Mを、Cで割ることにより開発投資効率 μ が求められる。

【0168】このようなライフサイクルコストCと純利益Mとの関係は図32の開発投資効率予測手段250に示すようになる。

【0169】このときの μ は企業としては対象とする製品によって異なるが、100%以上が望ましいことは明らかである。

【0170】このような開発投資効率予測手段250で開発投資効率 μ を、研究開発段階で予測することは、企業戦略上、非常に重要な指標であり、本発明では自動で求められるようになっている。以上の本発明の製品開発最適設計のコンセプトは、図35に示すように、方法論とコンピュータ支援ツールとヒューマンウェアの3位1体による達成される。すなわち、方法論としてはライフサイクルコスト対応の統一的評価尺度として特性実現性 θ を導入したこと、コンピュータ支援ツールとして、ライフサイクルコスト対応シミュレータとしてライフサイクルコストシミュレータ50を導入したこと、ヒューマンウェアとしてトップダウンとボトムアップの熱い交流のために、設計担当者に対して製品品質要因解析手段51と経営者に対して開発投資効率予測手段250を導入したことが特徴である。

24

【0171】なお、図37に計算機による自動評価項目310と、ユーザとの対話により評価する評価項目320を各々まとめて記載する。自動評価項目310を行なうための機能部は、デザインルールチェック75に備えられ、ユーザとの対話により評価する評価項目320を行なうための機能部は、ユーザインタフェース60に備えられている。この図に示すように、計算機による自動評価項目310としては、部品干渉チェック、配線可能な層数チャネル数範囲推定、信頼性+保全性評価、ダウンサイジング性評価、ライフサイクルコストシミュレーション、開発投資効率予測がある。ユーザとの対話により評価する評価項目320としては、損失コスト計算、ベアボード製造コスト、サブ回路分割評価、誤り耐久性評価、製造容易性評価、納期シミュレーション、テスト容易性評価、製品品質要因解析がある。

【0172】本発明によれば回路基板の構想段階でシミュレーションを行うことにより、図33に示すように早期製品化を可能にするとともに、品質の向上、コストの低減を可能にする特徴がある。

【0173】

【発明の効果】以上のように、本発明によれば、性能向上、低コスト、品質向上および短期製品開発ができるという相反する開発目標を同時に実現できるという効果が得られる。

【0174】また、構想設計段階で、ライフサイクルに関する多くの情報を取り入れることにより、より質の高い設計ができるようになった。

【0175】また、本発明によれば、生産実績がある類似製品のノウハウを活かして新たな製品を設計することが可能になり、新製品の開発期間を短縮できるという効果も得られる。

【0176】CAD/CAM/CAT処理を同時に並列処理が行なえるので、設計効率が従来に比べて大幅に向上するという効果も得られる。

【0177】更に、本発明によれば、CAD/CAM/CAT処理装置をつなぐインターフェースを統一したことにより、CADデータを修正するだけでそれ以外のCAM/CAT用データも修正が可能となり、作業工数を大幅に低減できるという効果が得られる。

【図面の簡単な説明】

【図1】本説明の実施例に係る製品開発最適設計支援システムの全体構成の概要を示す構成図である。

【図2】従来の製品設計と製造の評価と改良の流れを示す説明図である。

【図3】ルールベースエキスパートシステムの設計知識ベースを示す説明図である。

【図4】部品の挿入ヘッド又はアンビルによる干渉を示す説明図である。

【図5】特性実現性と信号因子およびSN比と信号因子との関係を示す説明図である。

25

【図6】信号因子と特性値との関係を示す説明図である。

【図7】特性値と損失コスト関数を示す説明図である。

【図8】ユーザインターフェースのライン実装順序を示す説明図である。

【図9】ライフサイクルシミュレータの製品品質要因解析手段を示す説明図である。

【図10】製品品質の構成を示す説明図である。

【図11】ライフサイクルコストシミュレータ画面の特性実現性のレーダチャートを示す説明図である。

【図12】実装密度と基板層数との関係を示す説明図である。

【図13】ライフサイクルコストシミュレータ画面のベアボードコスト算出のための対話入力画面を示す説明図である。

【図14】基板層数とベアボードコストとの関係を示す説明図である。

【図15】ライフサイクルコストシミュレータ画面の実装密度と総コストを示す説明図である。

【図16】グルーピング処理用データベースを示す説明図である。

【図17】配線難易度とコストとの関係を示す説明図である。

【図18】誤り耐久性とコストとの関係を示す説明図である。

【図19】製造容易性とコストとの関係を示す説明図である。

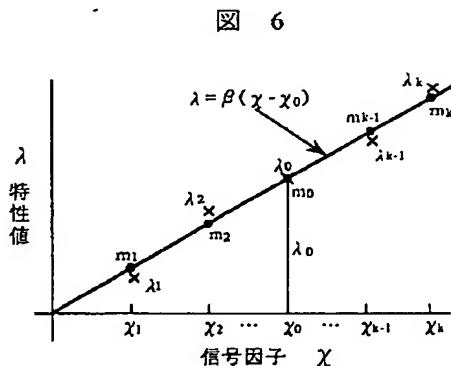
【図20】短納期化とコストとの関係を示す説明図である。

【図21】納期シミュレータの構成を説明する説明図である。

【図22】IF～THENルール形式による知識ベース登録例を示す説明図である。

【図23】製品の故障率を示す説明図である。

【図6】



26

* 【図24】信頼性+保全性とコストとの関係を示す説明図である。

【図25】表面実装化率、すきまなし実装化とダウンサイジング性を示す説明図である。

【図26】工程能力係数を示す説明図である。

【図27】ダウンサイジング性とコストとの関係を示す説明図である。

【図28】テスト容易性とコストとの関係を示す説明図である。

10 【図29】ライフサイクルコストのトータルコストカーブ図を示す説明図である。

【図30】類似製品によるライフサイクルコスト予測を示す説明図である。

【図31】ライフサイクルコストシミュレータ画面の開発投資効率予測法を示す説明図である。

【図32】ライフサイクルコストシミュレータの構成を示す説明図である。

【図33】本発明の設計工数低減の効果を示す説明図である。

20 【図34】ライフサイクルコストの構成因子とこれらの積算方法を示す説明図である。

【図35】本発明の製品開発最適設計のコンセプトを示す説明図である。

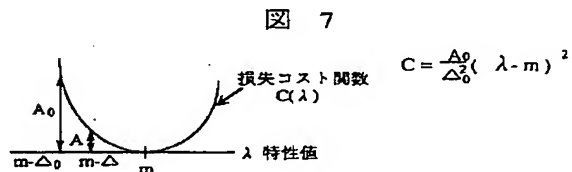
【図36】表計算による回路ブロック分割評価手段を示す説明図である。

【図37】計算機による自動評価項目と、ユーザとの対話により評価する評価項目との説明図である。

【符号の説明】

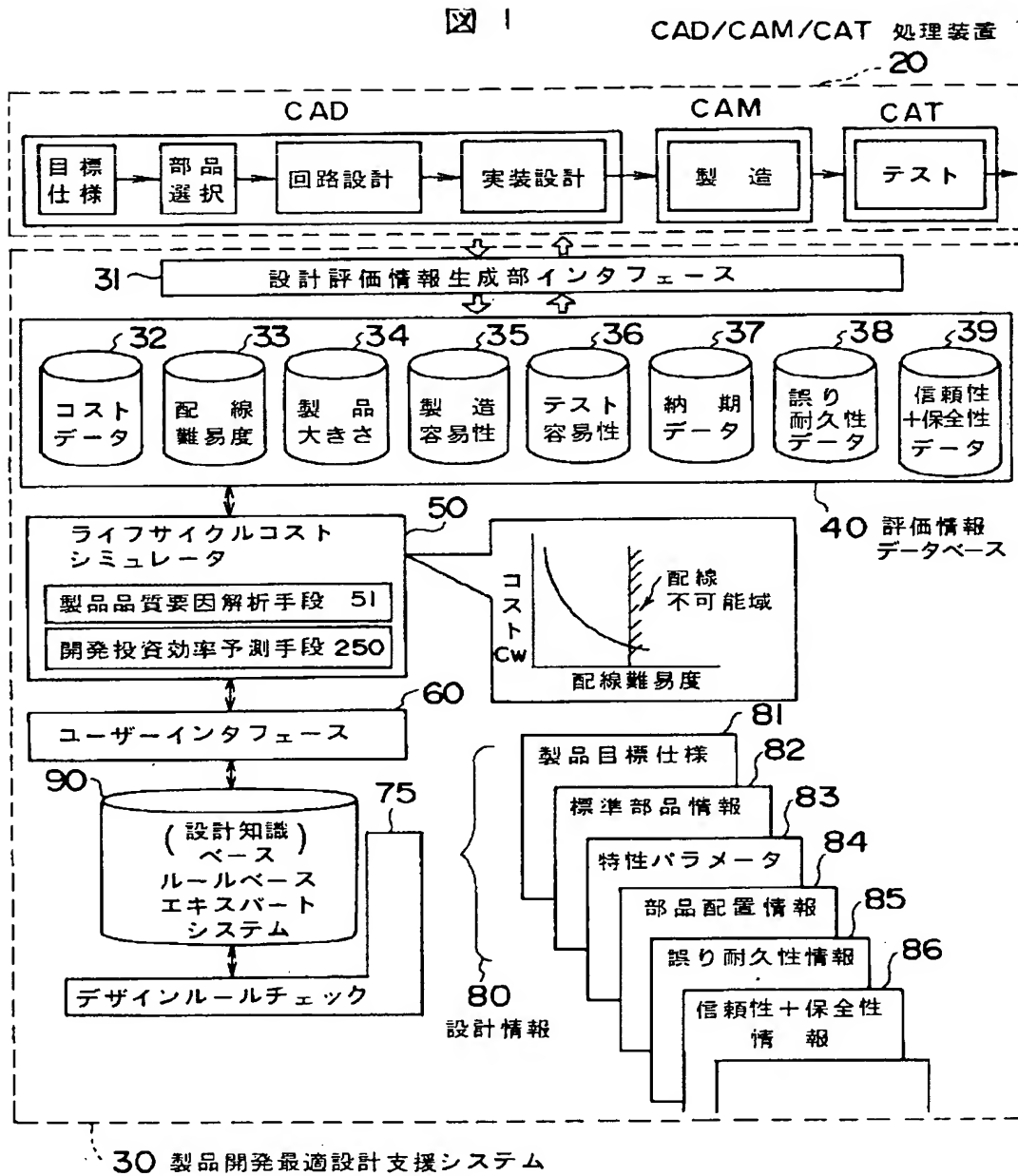
20...CAD/CAM/CAT処理装置、31...設計評価情報部インタフェース部、40...評価情報データベース部、50...ライフサイクルコストシミュレータ、51...製品品質要因解析手段、75...デザインルールチェック、80...設計情報、90...ルールベースエキスパートシステム、250...開発投資効率予測手段。

【図7】



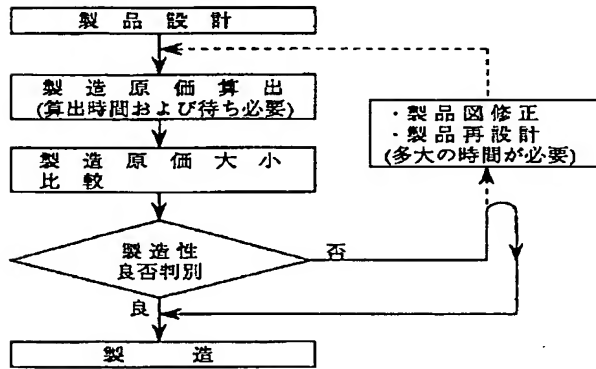
| ユーザインターフェース | | 類似製品パラメータ | | コスト |
|-------------|------|-----------|------|------|
| 対話入力 | | コスト | 機能限界 | 自動算出 |
| 特性値 | 目標仕様 | | | |
| λ | m | A' | Δ' | C |

【図1】



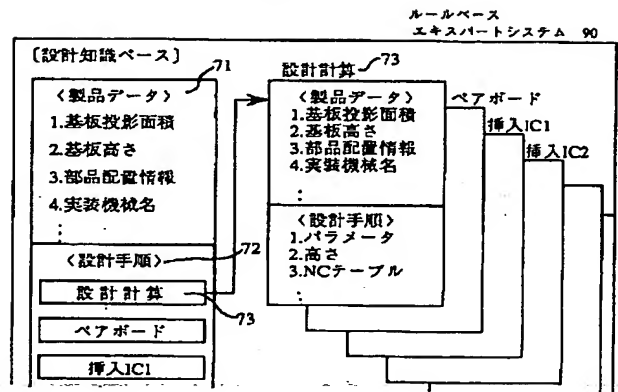
【図2】

図 2



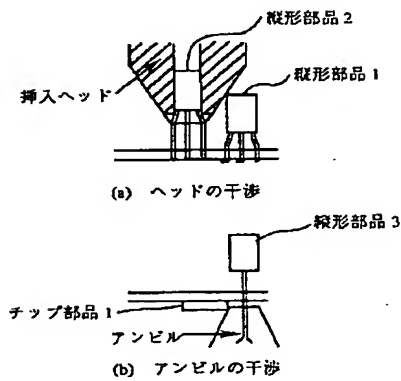
【図3】

図 3



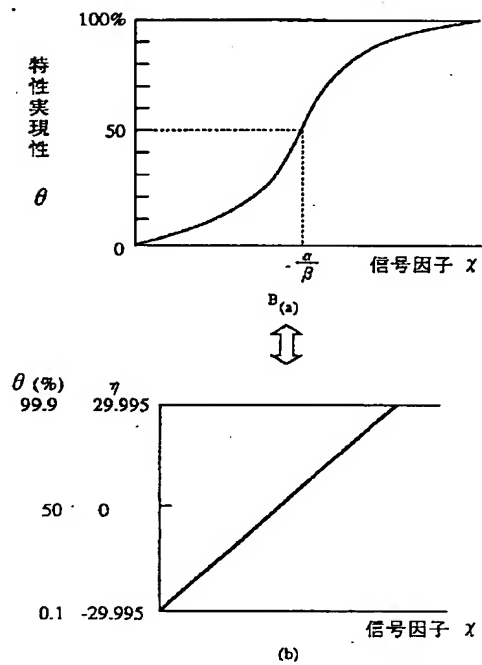
【図4】

図 4



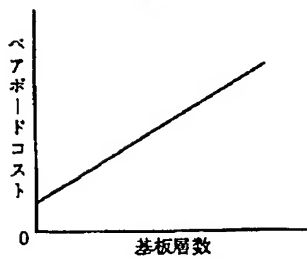
【図5】

図 5



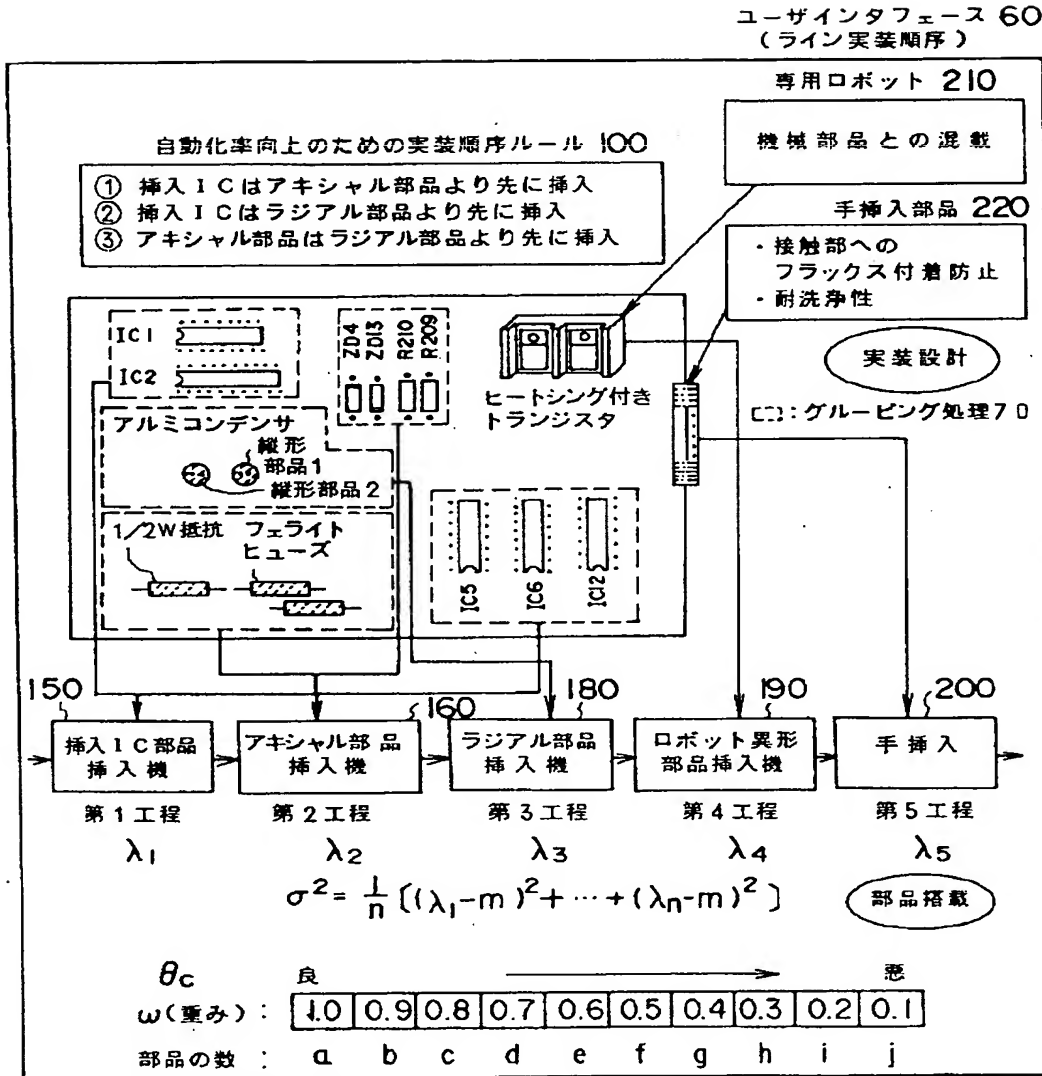
【図14】

図 14



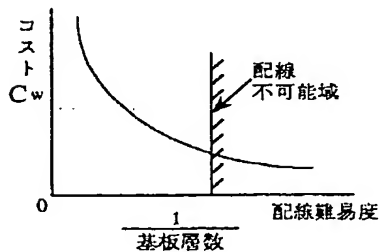
【図8】

図 8



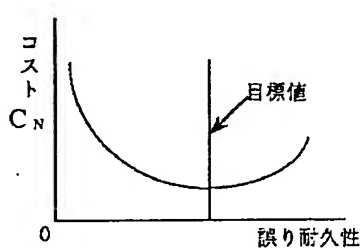
【図17】

図 17



【図18】

図 18



【図19】

図 19

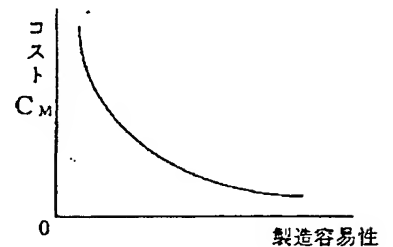
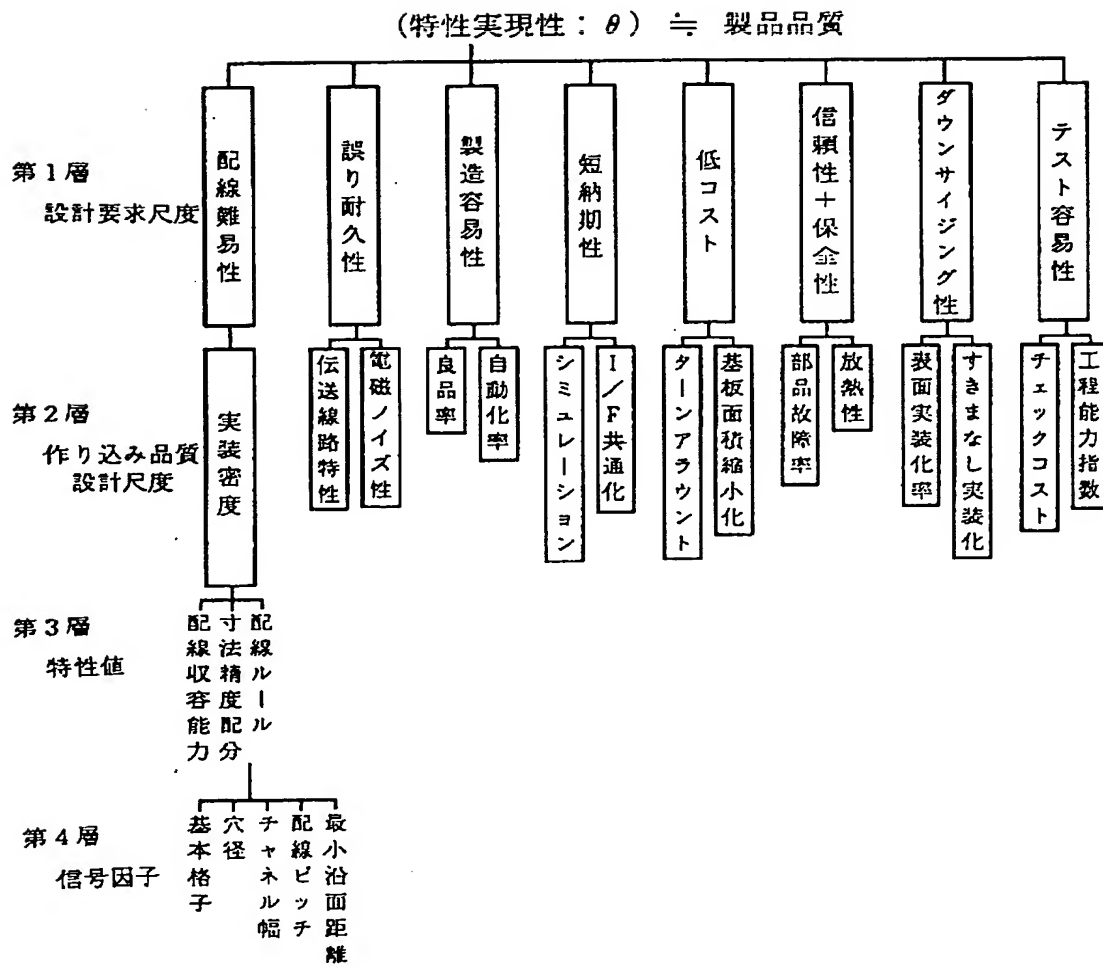


图 9

[illegible]

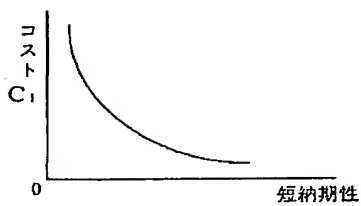
【図10】

図 10



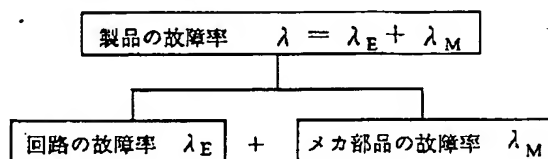
【図20】

図 20



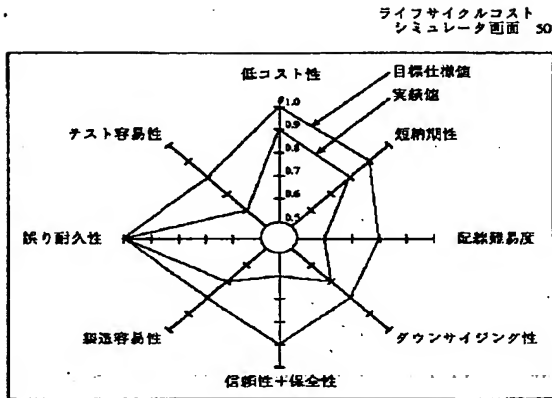
【図23】

図 23



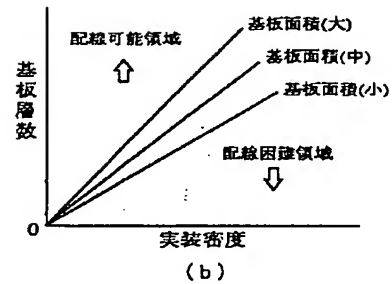
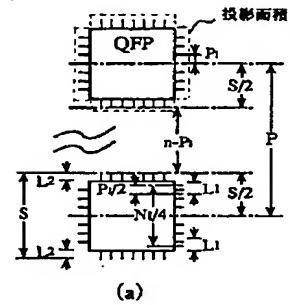
【図11】

図 11



【図12】

図 12



【図22】

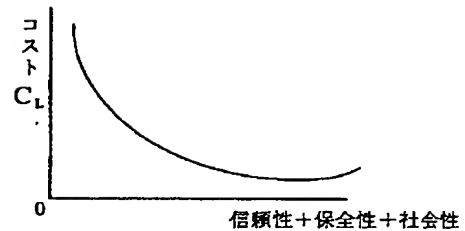
図 22

IF~THENルール形式による知識ベース登録例
例;「品種がPCBNo.100で、工程数が2以上のとき、
処理時間を5%延長する」

```
Change_time [5] /* ルール名 (優先順) */
if {lot(product_type=PCBNo.100,
      process_count>=2} then
  {upd#1(proc_time=#1.proc_time*1.05)}
```

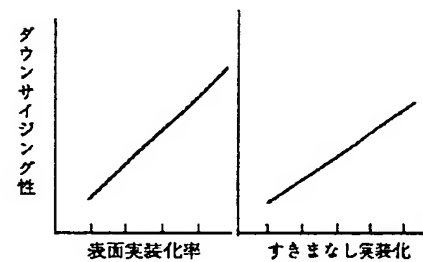
【図24】

図 24



【図25】

図 25



【図13】

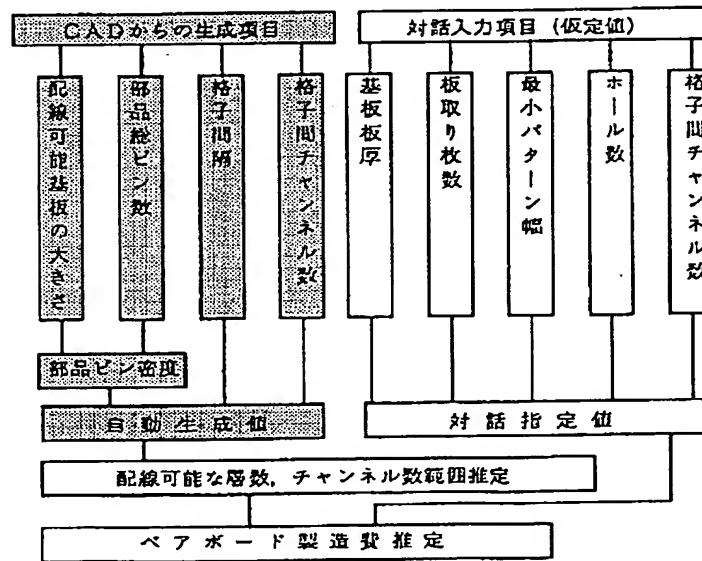
図 13

ライフサイクルコスト
シミュレータ画面 50

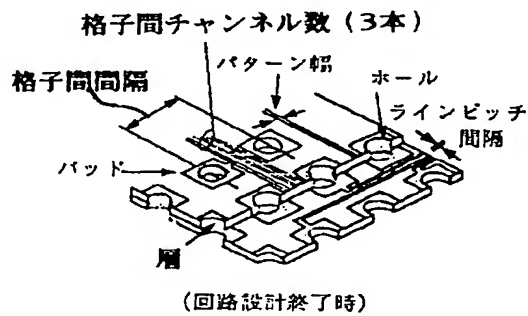
(a)

| | | |
|---------|--------|------|
| 板 厚 | 対話入力 | (mm) |
| 枚 取 枚 数 | ×××××× | (枚) |
| 最小パターン幅 | ×××××× | (mm) |
| | | |

(b)



(c)



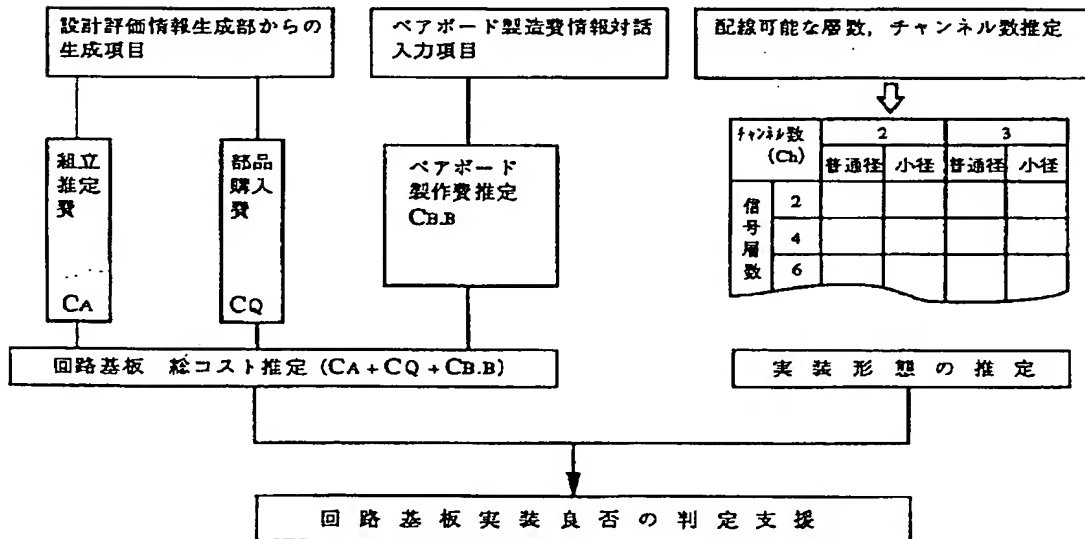
【図15】

図 15

ライフサイクルコスト
シミュレータ画面 50

| チャンネル数 | 信号層数 | ペアボード 製造費 | 部品購入費+組立推定費 +ペアボード製造費 |
|--------|------|--------------|--------------------------|
| 2 | 普通径 | 自動算出 | 自動算出 |
| | 小径 | 〃 | 〃 |
| 3 | 普通径 | 〃 | 〃 |
| | 小径 | 〃 | 〃 |
| 4 | | | |

(a)

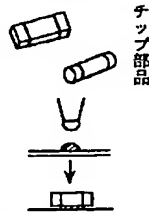
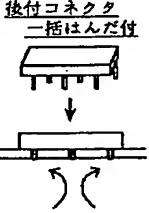


(b)

【図 1 6】

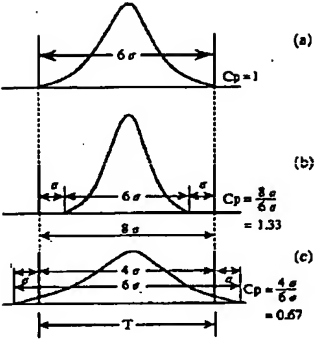
図 16

グルーピング処理用
データベース 70

| 類似部品群例 | 動作内容 | 動作機能 | タクトタイム |
|---|-----------------------------|------|--------|
|  チップ部品 | 接着剤塗布 (Bonding) | B | 0.5 秒 |
| | 下移動組付 | ↓ | |
|  後付コネクタ 一括はんだ付 | 下移動組付 | ↓ | 10 秒 |
| | 一括噴流 はんだ付 (soldering) | S | |

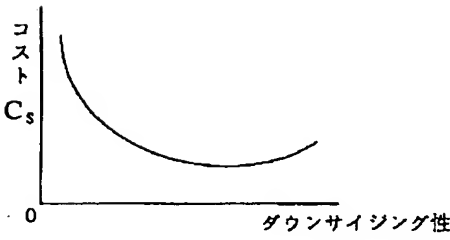
【図 2 6】

図 26



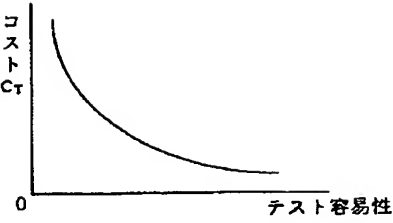
【図 2 7】

図 27

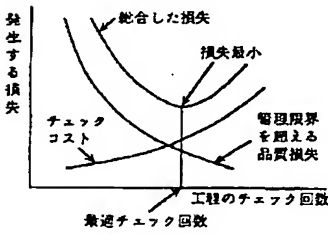


【図 2 8】

図 28

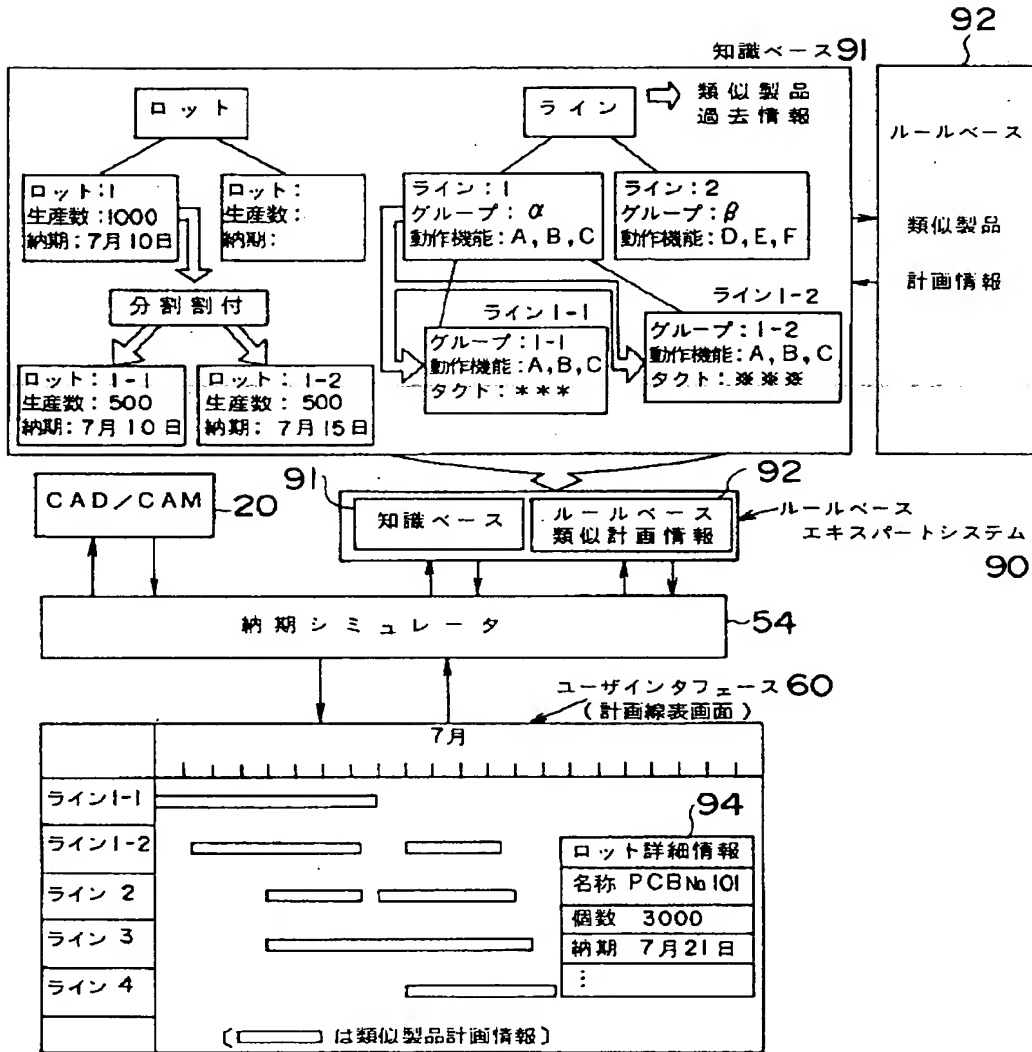


(b)



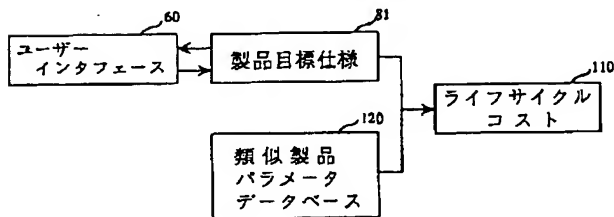
【図21】

図 21



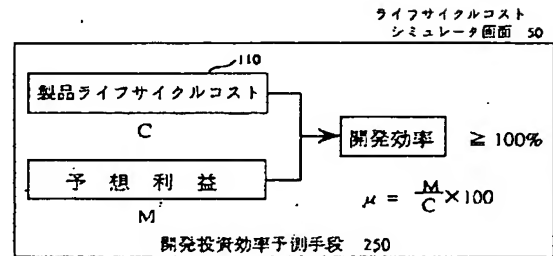
【図30】

図 30



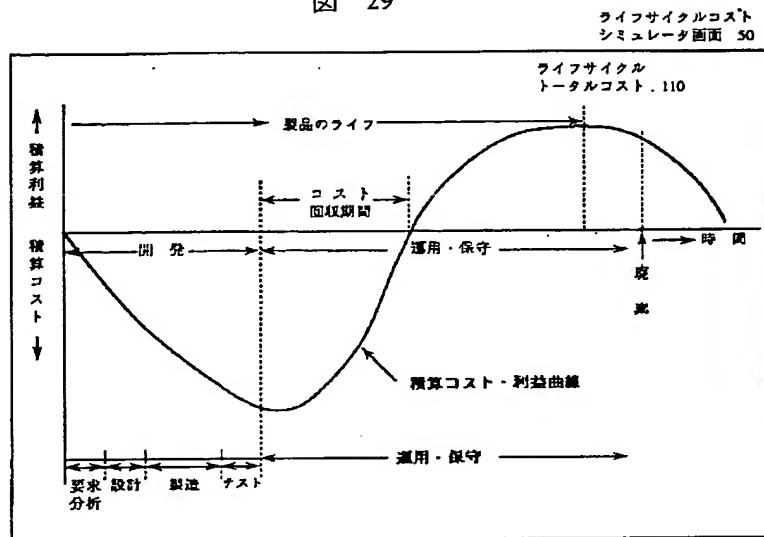
【図32】

図 32



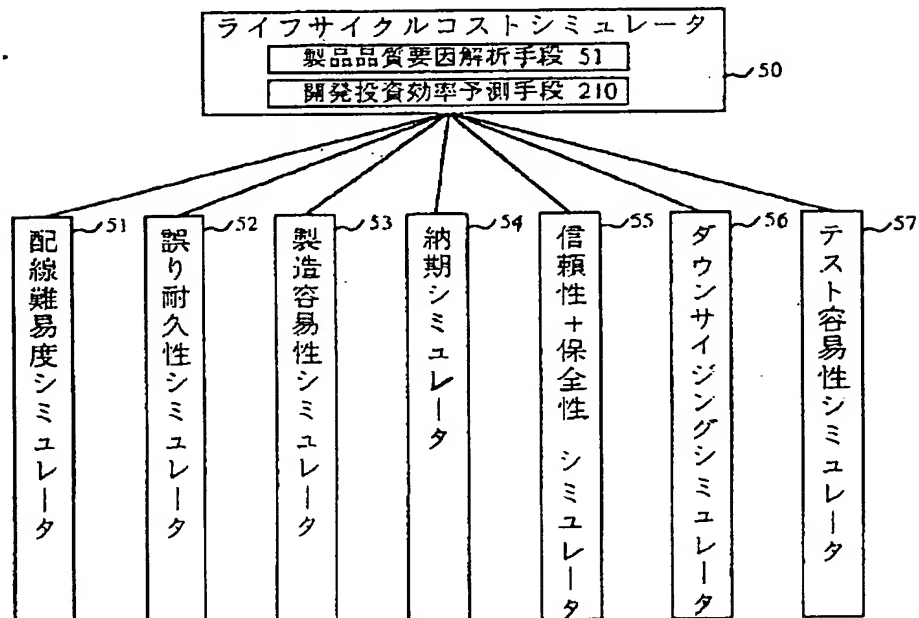
【図29】

図 29



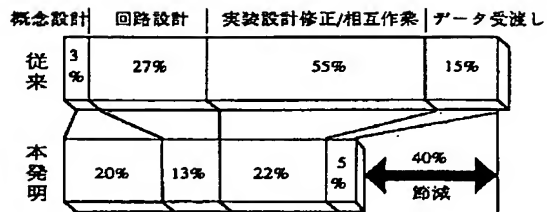
【図31】

図 31



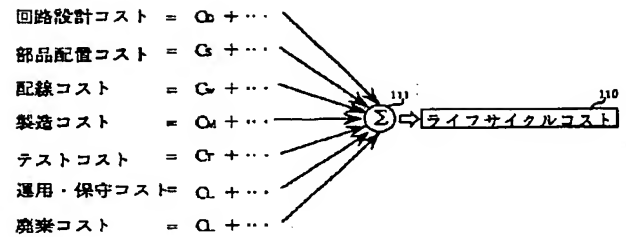
【図33】

図 33



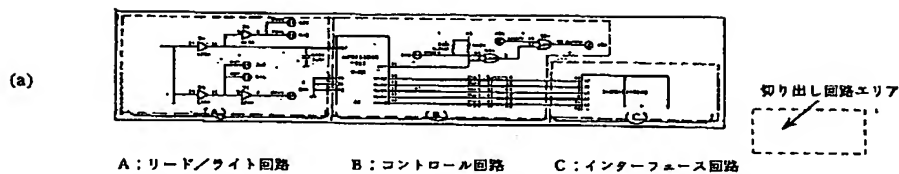
【図34】

図 34



【図36】

図 36



↓

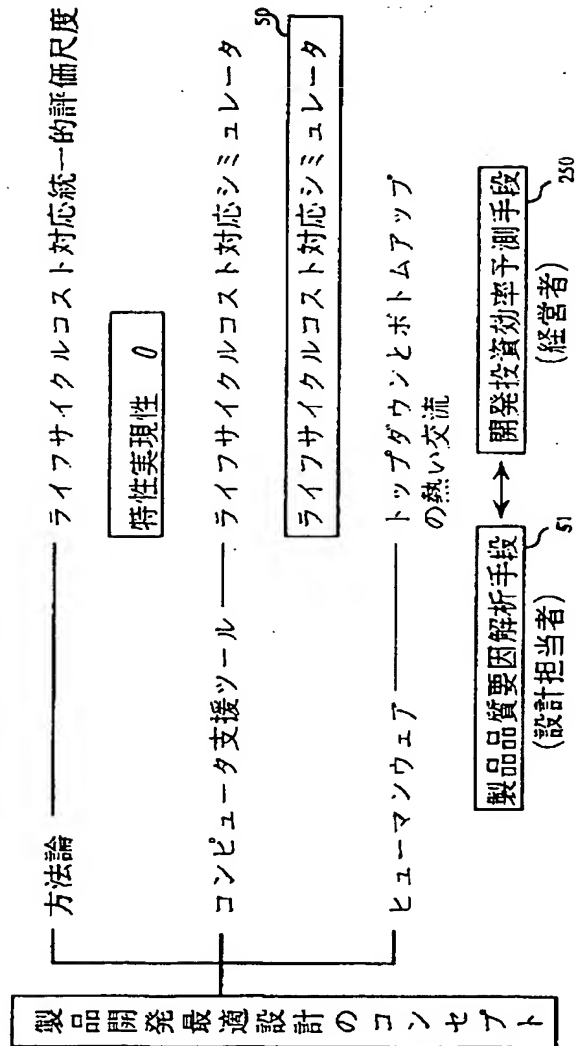
表計算260

| ブロック回路 | 配線難易度 (%) | 製造容易性 | 各回路コスト (円) | 基板面積 (cm ²) |
|--------|-----------|-------|------------|-------------------------|
| A | 0.80 | 0.75 | 5439 | 200 |
| B | 0.70 | 0.78 | 3150 | 229 |
| C | 0.50 | 0.68 | 5921 | 100 |
| ・ | ・ | ・ | ・ | ・ |
| ・ | ・ | ・ | ・ | ・ |
| 全 件 | 0.60 | 0.72 | 44520 | 725 |

(b)

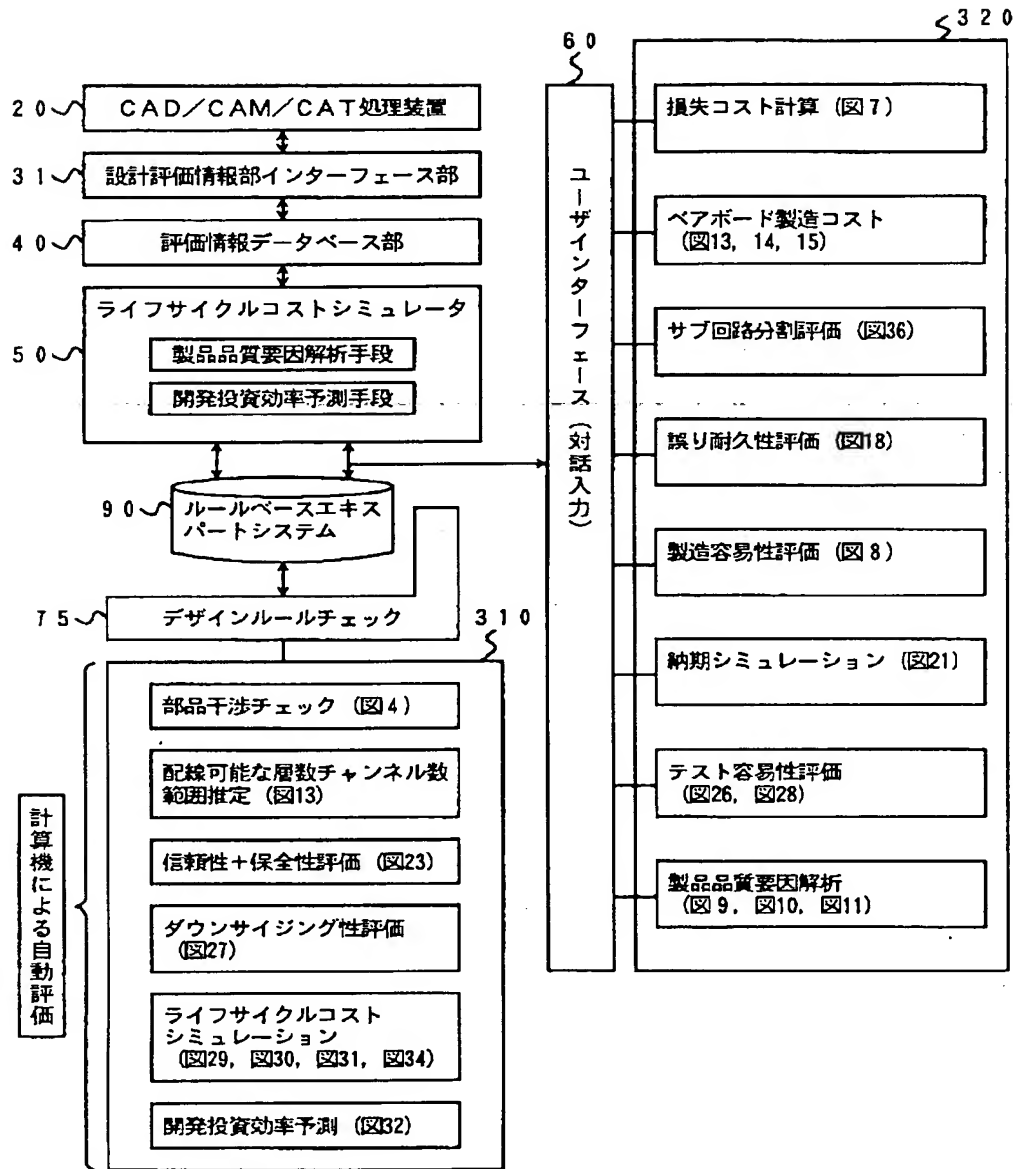
【図 35】

図 35



【図37】

図37



フロントページの続き

(72)発明者 早川 光春

神奈川県川崎市幸区鹿島田890 日立システムプラザ新川崎 株式会社日立製作所情報システム事業部内

(72)発明者 西田 博

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

(72)発明者 手塚 要次郎

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

(72)発明者 森 照夫
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内
(72)発明者 美濃島 智
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 池田 正昭
東京都千代田区神田駿河台四丁目6番地
株式会社日立製作所空調システム事業部内
(72)発明者 有本 象治
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

THIS PAGE BLANK (USPTO)